

PCT/JP99/01198

5 12.03.99

日 本 国 特 許
PATENT OFFICE
JAPANESE GOVERNMENT

庁	
REC'D 30 APR 1999	
WIPO	PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1998年12月28日

出 願 番 号
Application Number:

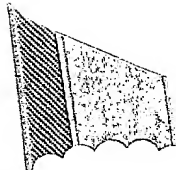
平成10年特許願第373436号

出 願 人
Applicant(s):

松下電器産業株式会社

PRIORITY
DOCUMENT

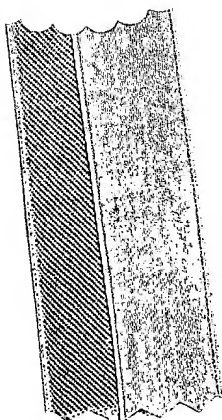
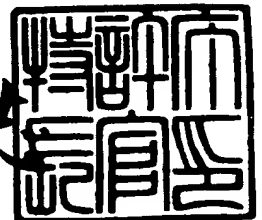
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)



1999年 4月16日

特許庁長官
Commissioner,
Patent Office

伴佐山 建志



出証番号 出証特平11-3022991

【書類名】 特許願

【整理番号】 2037600028

【提出日】 平成10年12月28日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 13/00

【発明の名称】 バス選択装置及びこれを備えた半導体集積回路システム

【請求項の数】 25

【発明者】

 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

 【氏名】 圓山 敬史

【発明者】

 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

 【氏名】 赤松 寛範

【発明者】

 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

 【氏名】 平田 貴士

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100077931

 【弁理士】

 【氏名又は名称】 前田 弘

【選任した代理人】

 【識別番号】 100094134

 【弁理士】

【氏名又は名称】 小山 廣毅

【先の出願に基づく優先権主張】

【出願番号】 平成10年特許願第 60868号

【出願日】 平成10年 3月12日

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9601026

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 バス選択装置及びこれを備えた半導体集積回路システム

【特許請求の範囲】

【請求項 1】 複数のチップを含み、前記複数のチップ間で信号の送受を行う半導体集積回路システムであって、

前記複数のチップに対し、各々、コマンドバス及びデータバスで接続されたバス選択装置を備え、

前記バス選択装置は、前記複数のチップのうちの何れか 1 個からコマンドを入力し、このコマンドを解析して、前記複数のチップ間の接続を選択することを特徴とする半導体集積回路システム。

【請求項 2】 前記バス選択装置は、
前記複数のチップで取り囲まれるように配置される
ことを特徴とする請求項 1 記載の半導体集積回路システム。

【請求項 3】 前記バス選択装置は、
何れか 1 個のチップから前記コマンドを入力し、このコマンドを解析して、前記複数のチップ間の接続を選択する選択信号を出力する解析手段と、
前記解析手段の選択信号を受け、前記複数のチップ間のコマンドバス接続を選択するコマンドバス選択手段と、

前記複数のチップ間のデータバス接続を選択するデータバス選択手段と
を備えたことを特徴とする請求項 1 又は 2 記載の半導体集積回路システム。

【請求項 4】 前記解析手段に入力されるコマンドは、
前記コマンドバスを介して入力される
ことを特徴とする請求項 3 記載の半導体集積回路システム。

【請求項 5】 何れか 1 個のチップと前記バス選択装置とは、コントロールバスを介して接続され、

前記解析手段に入力されるコマンドは、前記コントロールバスを介して入力される

ことを特徴とする請求項 3 記載の半導体集積回路システム。

【請求項 6】 前記バス選択装置は、

入力された前記コマンドを解析し、前記コマンドの出力先を選択する出力先選択手段を有し、前記出力先選択手段は、

解析の結果、前記コマンドが前記複数のチップ間の接続情報を含む場合には、コマンドの出力先を前記解析手段に選択し、前記複数のチップ間の接続情報を含まない場合には、コマンドの出力先を既選択のチップに選択する

ことを特徴とする請求項 3 記載の半導体集積回路システム。

【請求項 7】 前記バス選択装置に入力されるコマンドはパケット方式で伝送され、

前記複数のチップのうち少なくとも 1 個は前記コマンドを生成する

ことを特徴とする請求項 1 又は 2 記載の半導体集積回路システム。

【請求項 8】 前記パケット方式のコマンドは、

前記複数のチップ間の接続情報を含むか否かを示すコマンドを含む

ことを特徴とする請求項 7 記載の半導体集積回路システム。

【請求項 9】 前記パケット方式コマンドは、

前記複数のチップ間の接続情報を含むコマンドと、含まないコマンドとの双方を持つ

ことを特徴とする請求項 7 記載の半導体集積回路システム。

【請求項 10】 何れか 1 個のチップは、

前記複数のチップ間の接続を変更する際には、前記出力先選択手段を制御する制御コマンドを最初に前記バス選択装置に伝送する

ことを特徴とする請求項 6 記載の半導体回路システム。

【請求項 11】 前記複数のチップは、前記コマンドを生成するマスターチップを除いて、

前記バス選択装置を介して前記コマンドを受信し、このコマンドの内容が前記マスターチップ以外のチップを制御するコマンドか否かを判定する判定手段を有する

ことを特徴とする請求項 1 又は 2 記載の半導体集積回路システム。

【請求項 12】 前記コマンドバス選択手段は、前記コマンドバスの各交点に配置されて、前記複数のチップ間のコマンドバス接続を選択し、

前記データバス選択手段は、前記データバスの各交点に配置されて、前記複数のチップ間のデータバス接続を選択する

ことを特徴とする請求項 3 記載の半導体集積回路システム。

【請求項 13】 更に、

前記コマンドバスと前記データバスとの交点に配置されるバス選択手段を備え、

前記バス選択手段は、前記解析手段の選択信号を受けて、前記複数のチップ間の前記コマンドバスと前記データバスとの接続を選択する

ことを特徴とする請求項 3 記載の半導体集積回路システム。

【請求項 14】 前記解析手段は、

前記複数のチップ間の接続情報を含むコマンドを受け、このコマンドを解析して、前記選択信号を出力する解析部と、

前記解析部の選択信号を次の選択信号の入力時まで保持するラッチ部とを有し、

前記解析部は、

前記ラッチ部を制御する制御コマンドを生成し、この制御コマンドを前記ラッチ部に出力する

ことを特徴とする請求項 3 記載の半導体集積回路システム。

【請求項 15】 前記ラッチ部は、

前記コマンドバス選択手段及び前記データバス選択手段に対応して設けたラッチ回路を有する

ことを特徴とする請求項 14 記載の半導体集積回路システム。

【請求項 16】 前記各ラッチ回路は、

前記解析部から前記制御コマンドを受け、前記解析部で生成された前記コマンドバス選択手段又はデータバス選択手段に出力すべき選択信号をラッチし、この選択信号を対応する前記コマンドバス選択手段又はデータバス選択手段に出力する

ことを特徴とする請求項 15 記載の半導体集積回路システム。

【請求項17】 前記各ラッチ回路は、前記制御コマンドによりラッチタイミングが制御されて、

前記データバス上にデータを伝送しながら、前記コマンドバスを介して前記複数のチップの少なくとも1個にコマンドを送信する

ことを特徴とする請求項15又は16記載の半導体集積回路システム。

【請求項18】 前記複数のチップ間の接続情報を含むコマンドには、前記コマンドバス選択手段及び前記データバス選択手段の少なくとも一方を選択する選択情報と、少なくとも一方を制御する制御情報とが含まれる

ことを特徴とする請求項9記載の半導体集積回路システム。

【請求項19】 複数のチップ間を接続するコマンドバスを選択するバス選択装置であって、

何れかのチップからコマンドが入力されるコマンド入力手段と、

前記コマンド入力手段に入力されたコマンドに含まれる情報に基づいて前記コマンドの出力先を選択する出力先選択手段と、

前記出力先選択手段から前記コマンドを受けたとき、このコマンドの情報を解析して、複数のチップ間の接続を選択する選択信号を出力する解析手段と、

前記出力先選択手段が前記コマンドの出力先を前記コマンドバスに選択したとき、前記解析手段の選択信号に基づいて前記複数のチップ間のコマンドバスを選択するコマンドバス選択手段と、

前記コマンドを前記接続選択手段で選択されたチップに出力するコマンド出力手段と

を備えたことを特徴とするバス選択装置。

【請求項20】 複数のチップ間を接続するデータバスをも選択するバス選択装置であって、更に、

前記複数のチップのうち少なくとも1個からデータが入力されるデータ入力手段と、

前記解析手段の選択信号を受け、前記複数のチップ間のデータバスの接続を選択するデータバス選択手段と、

前記データ入力手段に入力されたデータを受け、このデータを前記データバス

選択手段によって選択されたチップに出力するデータ出力手段と

を備えたことを特徴とする請求項 19 記載のバス選択装置。

【請求項 21】 前記出力先選択手段は、

前記コマンドが複数のチップ間の接続情報を含むときには前記コマンドの出力先を前記解析手段に選択し、

複数のチップ間の接続情報を含まないときには前記コマンドの選択先をコマンドバス又はデータバスに選択する

ことを特徴とする請求項 20 記載のバス選択装置。

【請求項 22】 前記複数のチップ間の接続情報を含むコマンドには、

前記コマンドバス選択手段及び前記データバス選択手段の少くとも一方を選択する選択情報と、少くとも一方を制御する制御情報とが含まれる

ことを特徴とする請求項 20 記載のバス選択装置。

【請求項 23】 複数のチップ間を接続するコマンドバスを選択するバス選択装置であって、

何れかのチップから前記複数のチップを制御するコマンドが入力される制御コマンド入力手段と、

前記複数のチップ間の接続情報を含むコマンドが入力される接続コマンド入力手段と、

前記接続コマンド入力手段に入力されたコマンドに含まれるチップ間の接続情報を解析する解析手段と、

前記解析手段の解析結果を受け、この解析結果に基づいて前記複数のチップ間のコマンドバスの接続を選択するコマンドバス選択手段と、

前記制御コマンド入力手段に入力されたコマンドを受け、このコマンドを前記コマンドバス選択手段で選択されたコマンドバスを経てチップに出力する制御コマンド出力手段と

を備えたことを特徴とするバス選択装置。

【請求項 24】 複数のチップ間を接続するデータバスをも選択するバス選択装置であって、更に、

何れかのチップからデータを受けるデータ入力手段と、

前記解析手段の解析結果を受け、前記複数のチップ間のデータバスの接続を選択するデータバス選択手段と、

前記データ入力手段からデータを受け、このデータを前記データバス選択手段で選択されたデータバスを経てチップに出力するデータ出力手段と

を備えたことを特徴とする請求項 23 記載のバス選択装置。

【請求項 25】 前記複数のチップ間の接続情報を含むコマンドは、パケット方式で伝送され、このコマンドは、

前記コマンドバス選択手段及び前記データバス選択手段の少くとも一方を選択する選択情報と、少なくとも一方を制御する制御情報とを含む

ことを特徴とする請求項 24 記載のバス選択装置。

【発明の詳細な説明】

【0001】

【従来の技術】

近年、情報化社会が急速に成長するに従い、情報量を大量にしかも高速に処理する半導体回路システムが必要とされている。こうした大容量の情報を処理するには、多くの記憶素子（メモリ）が必要であり、また損失の少ない高速なデータ伝送が必要となる。

【0002】

以上の観点から、例えば、DRAMに代表される半導体メモリを複数連続して接続することが従来より行われるが、これ等メモリを制御するメモリコントローラとこれから離れたメモリまでのバス長が増加して、信号の伝達遅延が増大し、この遅延が高速データ転送において問題となる。また、半導体メモリの大容量化を目指して複数のメモリを配置し且つ制御しようとする、図17(a)に示すようにメモリコントローラから各メモリへのバス長にばらつきが生じて、各バスを経た信号伝達に差が生じ、従って、メモリコントローラとメモリとの間のクロックスキューが補償できなくなる。特に、高速クロック動作では、システムの安定した高速動作が保証できなくなる場合も生じる。

【0003】

そこで、従来、メモリコントローラとメモリとの間のバス長を短くすることで

信号の伝達遅延を減少させて、クロックスキューを保証し、高速なデータ転送を行う半導体集積回路システムが提案されている。例えば、米国特許 U.S. Patent 5,408,129 に示される Rambus 社の半導体集積回路システムでは、図 17 (b) に示すようにメモリコントローラからメモリまでの距離を短くして高速安定動作を図ると共に、多数のメモリを接続する場合には、図 17 (c) に示すようにマスターチップに備えるメモリコントローラに複数のチャンネル（同図では 4 個）を設置して、多数のメモリを制御する構成を提案している。

【0004】

【発明が解決しようとする課題】

しかしながら、上述のような従来の半導体回路システムでは、複数のメモリを配置しても、これ等メモリとメモリコントローラとの間のバス長が短く且つ各バス長間のバラツキが小さくて、信号の伝達遅延を減少でき、安定した高速動作が保証できるものの、マスターチップ内のメモリコントローラに複数のチャンネルを設置すると、メモリコントローラのピン数が増加してしまい、パッケージサイズを増大させ、生産コストの面で問題が生じる。

【0005】

本発明は、前記事情に鑑みてなされたものであり、その目的は、半導体集積回路システムにおいて、備える複数の半導体メモリ等の各バス長を短く且つこれ等バス長間のバラツキを小さくする場合に、マスターチップのピン数の増加なしに、複数の半導体メモリ等を高速に且つ効率良く制御できるバス選択装置及びこれを備える半導体集積回路システムを提供することにある。

【0006】

【課題を解決するための手段】

以上の目的を達成するため、本発明では、マスターチップにメモリコントローラを設置せず、マスターチップとは別途に、複数の半導体メモリ等へのバスを切換選択するバス選択装置を配置する。そして、このバス選択装置を用いて、マスターチップからのコマンドに従って各半導体メモリ等へのバスの接続を切換える。

【0007】

即ち、請求項1記載の発明の半導体集積回路システムは、複数のチップを含み、前記複数のチップ間で信号の送受を行う半導体集積回路システムであって、前記複数のチップに対し、各々、コマンドバス及びデータバスで接続されたバス選択装置を備え、前記バス選択装置は、前記複数のチップのうちの何れか1個からコマンドを入力し、このコマンドを解析して、前記複数のチップ間の接続を選択することを特徴とする。

【0008】

請求項2記載の発明は、前記請求項1記載の半導体集積回路システムにおいて、前記バス選択装置は、前記複数のチップで取り囲まれるように配置されることを特徴とする。

【0009】

請求項3記載の発明は、前記請求項1又は2記載の半導体集積回路システムにおいて、前記バス選択装置は、何れか1個のチップから前記コマンドを入力し、このコマンドを解析して、前記複数のチップ間の接続を選択する選択信号を出力する解析手段と、前記解析手段の選択信号を受け、前記複数のチップ間のコマンドバス接続を選択するコマンドバス選択手段と、前記複数のチップ間のデータバス接続を選択するデータバス選択手段とを備えたことを特徴とする。

【0010】

請求項4記載の発明は、前記請求項3記載の半導体集積回路システムにおいて、前記解析手段に入力されるコマンドは、前記コマンドバスを介して入力されることを特徴とする。

【0011】

請求項5記載の発明は、前記請求項3記載の半導体集積回路システムにおいて、何れか1個のチップと前記バス選択装置とは、コントロールバスを介して接続され、前記解析手段に入力されるコマンドは、前記コントロールバスを介して入力されることを特徴とする。

【0012】

請求項6記載の発明は、前記請求項3記載の半導体集積回路システムにおいて

、前記バス選択装置は、入力された前記コマンドを解析し、前記コマンドの出力先を選択する出力先選択手段を有し、前記出力先選択手段は、解析の結果、前記コマンドが前記複数のチップ間の接続情報を含む場合には、コマンドの出力先を前記解析手段に選択し、前記複数のチップ間の接続情報を含まない場合には、コマンドの出力先を既選択のチップに選択することを特徴とする。

【0013】

請求項7記載の発明は、前記請求項1又は2記載の半導体集積回路システムにおいて、前記バス選択装置に入力されるコマンドはパケット方式で伝送され、前記複数のチップのうち少なくとも1個は前記コマンドを生成することを特徴としている。

【0014】

請求項8記載の発明は、前記請求項7記載の半導体集積回路システムにおいて、前記パケット方式のコマンドは、前記複数のチップ間の接続情報を含むか否かを示すコマンドを含むことを特徴とする。

【0015】

請求項9記載の発明は、前記請求項7記載の半導体集積回路システムにおいて、前記パケット方式コマンドは、前記複数のチップ間の接続情報を含むコマンドと、含まないコマンドとの双方を持つことを特徴とする。

【0016】

請求項10記載の発明は、前記請求項6記載の半導体回路システムにおいて、何れか1個のチップは、前記複数のチップ間の接続を変更する際には、前記出力先選択手段を制御する制御コマンドを最初に前記バス選択装置に伝送することを特徴とする。

【0017】

請求項11記載の発明は、前記請求項1又は2記載の半導体集積回路システムにおいて、前記複数のチップは、前記コマンドを生成するマスターチップを除いて、前記バス選択装置を介して前記コマンドを受信し、このコマンドの内容が前記マスターチップ以外のチップを制御するコマンドか否かを判定する判定手段を有することを特徴とする。

【0018】

請求項12記載の発明は、前記請求項3記載の半導体集積回路システムにおいて、前記コマンドバス選択手段は、前記コマンドバスの各交点に配置されて、前記複数のチップ間のコマンドバス接続を選択し、前記データバス選択手段は、前記データバスの各交点に配置されて、前記複数のチップ間のデータバス接続を選択することを特徴とする。

【0019】

請求項13記載の発明は、前記請求項3記載の半導体集積回路システムにおいて、更に、前記コマンドバスと前記データバスとの交点に配置されるバス選択手段を備え、前記バス選択手段は、前記解析手段の選択信号を受けて、前記複数のチップ間の前記コマンドバスと前記データバスとの接続を選択することを特徴とする。

【0020】

請求項14記載の発明は、前記請求項3記載の半導体集積回路システムにおいて、前記解析手段は、前記複数のチップ間の接続情報を含むコマンドを受け、このコマンドを解析して、前記選択信号を出力する解析部と、前記解析部の選択信号を次の選択信号の入力時まで保持するラッチ部とを有し、前記解析部は、前記ラッチ部を制御する制御コマンドを生成し、この制御コマンドを前記ラッチ部に出力することを特徴とする。

【0021】

請求項15記載の発明は、前記請求項14記載の半導体集積回路システムにおいて、前記ラッチ部は、前記コマンドバス選択手段及び前記データバス選択手段に対応して設けたラッチ回路を有することを特徴とする。

【0022】

請求項16記載の発明は、前記請求項15記載の半導体集積回路システムにおいて、前記各ラッチ回路は、前記解析部から前記制御コマンドを受け、前記解析部で生成された前記コマンドバス選択手段又はデータバス選択手段に出力すべき選択信号をラッチし、この選択信号を対応する前記コマンドバス選択手段又はデータバス選択手段に出力することを特徴とする。

【0023】

請求項17記載の発明は、前記請求項15又は16記載の半導体集積回路システムにおいて、前記各ラッチ回路は、前記制御コマンドによりラッチタイミングが制御されて、前記データバス上にデータを伝送しながら、前記コマンドバスを介して前記複数のチップの少くとも1個にコマンドを送信することを特徴としている。

【0024】

請求項18記載の発明は、前記請求項9記載の半導体集積回路システムにおいて、前記複数のチップ間の接続情報を含むコマンドには、前記コマンドバス選択手段及び前記データバス選択手段の少くとも一方を選択する選択情報と、少くとも一方を制御する制御情報とが含まれることを特徴とする。

【0025】

請求項19記載の発明のバス選択装置は、複数のチップ間を接続するコマンドバスを選択するバス選択装置であって、何れかのチップからコマンドが入力されるコマンド入力手段と、前記コマンド入力手段に入力されたコマンドに含まれる情報に基づいて前記コマンドの出力先を選択する出力先選択手段と、前記出力先選択手段から前記コマンドを受けたとき、このコマンドの情報を解析して、複数のチップ間の接続を選択する選択信号を出力する解析手段と、前記出力先選択手段が前記コマンドの出力先を前記コマンドバスに選択したとき、前記解析手段の選択信号に基づいて前記複数のチップ間のコマンドバスを選択するコマンドバス選択手段と、前記コマンドを前記接続選択手段で選択されたチップに出力するコマンド出力手段とを備えたことを特徴とする。

【0026】

請求項20記載の発明は、前記請求項19記載のバス選択装置において、複数のチップ間を接続するデータバスをも選択するバス選択装置であって、更に、前記複数のチップのうち少くとも1個からデータが入力されるデータ入力手段と、前記解析手段の選択信号を受け、前記複数のチップ間のデータバスの接続を選択するデータバス選択手段と、前記データ入力手段に入力されたデータを受け、このデータを前記データバス選択手段によって選択されたチップに出力するデータ

出力手段とを備えたことを特徴とする。

【0027】

請求項 21 記載の発明は、前記請求項 20 記載のバス選択装置において、前記出力先選択手段は、前記コマンドが複数のチップ間の接続情報を含むときには前記コマンドの出力先を前記解析手段に選択し、複数のチップ間の接続情報を含まないときには前記コマンドの選択先をコマンドバス又はデータバスに選択することを特徴とする。

【0028】

請求項 22 記載の発明は、前記請求項 20 記載のバス選択装置において、前記複数のチップ間の接続情報を含むコマンドには、前記コマンドバス選択手段及び前記データバス選択手段の少くとも一方を選択する選択情報と、少くとも一方を制御する制御情報とが含まれることを特徴とする。

【0029】

請求項 23 記載の発明のバス選択装置は、複数のチップ間を接続するコマンドバスを選択するバス選択装置であって、何れかのチップから前記複数のチップを制御するコマンドが入力される制御コマンド入力手段と、前記複数のチップ間の接続情報を含むコマンドが入力される接続コマンド入力手段と、前記接続コマンド入力手段に入力されたコマンドに含まれるチップ間の接続情報を解析する解析手段と、前記解析手段の解析結果を受け、この解析結果に基づいて前記複数のチップ間のコマンドバスの接続を選択するコマンドバス選択手段と、前記制御コマンド入力手段に入力されたコマンドを受け、このコマンドを前記コマンドバス選択手段で選択されたコマンドバスを経てチップに出力する制御コマンド出力手段とを備えたことを特徴とする。

【0030】

請求項 24 記載の発明は、前記請求項 23 記載のバス選択装置において、複数のチップ間を接続するデータバスをも選択するバス選択装置であって、更に、何れかのチップからデータを受けるデータ入力手段と、前記解析手段の解析結果を受け、前記複数のチップ間のデータバスの接続を選択するデータバス選択手段と、前記データ入力手段からデータを受け、このデータを前記データバス選択手段

で選択されたデータバスを経てチップに出力するデータ出力手段とを備えたことを特徴とする。

【0031】

請求項25記載の発明は、前記請求項24記載のバス選択装置において、前記複数のチップ間の接続情報を含むコマンドは、パケット方式で伝送され、このコマンドは、前記コマンドバス選択手段及び前記データバス選択手段の少くとも一方を選択する選択情報と、少なくとも一方を制御する制御情報とを含むことを特徴とする。

【0032】

以上の構成により、請求項1ないし請求項25記載の発明では、バス選択装置はマスターチップとは別個独立して配置されるので、マスターチップのピン数が削減される。更に、バス選択装置の周囲には、マスターチップ及びスレーブチップを含む複数のチップが配置されるので、マスターチップから各スレーブチップへのコマンドバス又はデータバスの各バス長を短く且つ各バス相互でほぼ等長にでき、従って、大容量のデータを格納しながら、これ等複数チップ間でのデータの伝送経路を適切に切換えて、そのデータ伝送を高速に行うことができる。

【0033】

また、複数のチップ間はコマンドバスやデータバスで接続されていて、マスターチップは、前記複数チップ間のバスの切換えを指示する選択信号をバス選択装置に入力する。バス選択装置では、解析手段は前記選択信号を解析し、コマンドバス選択手段やデータバス選択手段が前記解析手段の解析結果を受けて、前記複数チップ間のバス接続を切換え選択する。従って、複数チップ間でのデータの伝送経路を適切に切換えることが可能である。

【0034】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて説明する。

【0035】

図15は、半導体集積回路システム100を模式的に示すブロック図である。同図に示す半導体集積回路システム100は、1つのマスターチップ1と複数（

同図では2個)のスレーブチップ2及びバス選択装置3を含んでいる。各スレーブチップ2は、マスターチップ1の制御により、例えば、データの読み出し及び書き込み等のデータ処理を行い、その結果、スレーブチップ2から得られるデータが、所定のクロックCLK1の制御に従って伝送される。

【0036】

本発明は、機能的には図15に示す半導体集積回路システム100と同様であるが、バス選択装置3を改善した図1及び図3に示すバス選択装置3a、3c及びこのバス選択装置3a、3cを含む半導体集積回路システムを提供するものである。

【0037】

以下、図面を参照しながら本発明の実施の形態をより具体的に説明する。

【0038】

(第1の実施の形態)

図1は、本発明の第1の実施の形態による半導体集積回路システム110を示すブロック図である。本実施の形態では、半導体集積回路システム110は、マスターチップ1としてCPUを、複数のスレーブチップ2として第1、第2及び第3のDRAM2a、2b及び2cを含む場合を説明する。

【0039】

図1の半導体集積回路システム110では、バス選択装置3aは、複数のチップ1、2a～2cに取り囲まれるように配置される。マスターチップ1とバス選択装置3aとは、コマンド及びデータを各々伝送する複数のビット幅(nビット)を有するコマンドバスCB及びデータバスDBにより各々接続される。複数のスレーブチップ2a～2cとバス選択装置3aも、また、コマンド及びデータを各々伝送するコマンドバスCBa～CBc及びデータバスDBa～DBcによって各々接続される。

【0040】

図1に示されるように、バス選択装置3aの内部には、複数のビット幅を有する伝送線路から成るコマンドバスCBを経てマスターチップ1とコマンドの送受を行う入出力部(コマンド入力手段)4と、この入出力部4からコマンドを受け

、そのコマンドが複数のスレーブチップ間の接続を行う接続情報を含むか否かを解析し、その解析結果によってそのコマンドの出力先を選択する選択回路（出力先選択手段）12と、この選択回路12からコマンドを受け、複数のスレーブチップ2a～2cの接続情報を解析し、その解析結果（選択信号）を出力する解析回路（解析手段）13と、マスターチップ1と複数のスレーブチップ2a～2cとを接続するコマンドバスCB、CBa～CBcの交点に配置された選択回路（コマンドバス選択手段）14と、前記マスターチップ1と複数のスレーブチップ2a～2cとを接続するデータバスDB、DBa～DBcの交点に配置された選択回路（データバス選択手段）15とを備える。この両選択回路14、15は、前記解析回路13からの解析結果を受けて、マスターチップ1と複数のスレーブチップ2a～2c間及びスレーブチップ2a～2c同士のコマンドバス又はデータバスを切換え選択する。

【0041】

更に、前記バス選択装置3aの内部には、コマンド入出力用の入出力部（コマンド出力手段）6、8、10と、データ入出力用の入出力部（データ入力手段及びデータ出力手段）5、7、9、11とを備える。前記入出力部6、8、10は、選択回路14を経てマスターチップ1から送られてきたコマンドをコマンドバスCBa～CBcを介して複数のスレーブチップ2a～2cに出力する。また、前記入出力部7、9、11は、複数のスレーブチップ2a～2cからのデータ又はこれ等チップへのデータを、データバスDBa～DBcを介して選択回路15との間で送受する。更に、入出力部5は、選択回路15を経て複数のスレーブチップ2a～2cから送られてきたデータをデータバスDBを介してマスターチップ1に出力する。

【0042】

図1に示す選択回路14、15は、各々、同図に示すように、マスターチップ1と複数のスレーブチップ2a～2cとを接続するコマンドバスCB、CBa～CBcの交点、及びデータバスDB、DBa～DBcの交点に備えられる。これ等選択回路14、15の配置は図2に示すように変更可能である。図2では、コマンドバスCB、CBa～CBcの交点に選択回路（コマンドバス選択回路）14

1 が、データバス DB、DB a ~ DB c の交点に選択回路（データバス選択回路）151 が各々配置されると共に、コマンドバス CB、CB b とデータバス DB a、DB c との交点に選択回路（バス選択回路）171 が、コマンドバス CB a、CB c とデータバス DB、DB b との交点に選択回路（バス選択回路）161 が各々配置される。図2の場合には、同図に示すように、各選択回路141、151、161、171は、各々、解析回路131からの解析結果を受けるように解析回路131と接続されている。このような構成を採れば、例えば選択回路151、171を用いて接続状態を切り換えて、データバスDB aを介してスレーブチップ2 aから出力されたデータを、別のスレーブチップ2 bのコマンドバスCB bを介してコマンドとして入力することができ、複数のチップ間においてコマンドやデータの共有が可能となる。

【0043】

前記バス選択装置3 a、3 bをマスターチップ1と共に1チップに構成するか又は単独に1チップで構成するかは適宜選択すればよい。また、半導体集積回路システムのマスターチップ1とスレーブチップ2との数的構成は、適宜選択すればよい。

【0044】

図1に示す選択回路12は、図5に示すように、図1の入出力部4から出力されたコマンドを受ける入力部121と、この入力されたコマンドが複数のスレーブチップ2 a ~ 2 cの接続情報を含むか否かを解析する解析部122と、その解析結果に応じてそのコマンドを図1の解析回路13、又は選択回路14の何れに出力するかを選択する選択部123と、図1の解析回路13及び選択回路14各々にコマンドを出力する出力部124、125を備えている。

【0045】

図1に示す解析回路13は、図6に示すように、図1の選択回路12から出力されたコマンドを受ける入力部131と、この入力部131で受けたコマンドを解析し、複数の選択回路14、15の少くとも一方を選択する選択信号を生成する解析部132と、この解析部132からの選択信号の状態を次の解析信号が入力されるまで保持する2個のラッチ回路133 a、133 bより成るラッチ部1

33と、このラッチ部133のラッチ回路133a、133bからの選択信号を図1に示す選択回路14、15に各々出力する出力部134a、134bとを備える。

【0046】

前記解析部132とラッチ部133とは、制御線135a、135bによって接続される。この制御線135a、135bは、図1に示す選択回路14、15へ出力する選択信号を伝送する伝送線路以外に、ラッチ回路133a、133bを制御する制御コマンドを伝送するための制御線である。前記ラッチ回路133a、133bは、前記解析部132からの制御コマンドによって制御され、例えば、制御線135aに"0"（Lレベル）、制御線135bに"1"（Hレベル）の制御コマンドが入力されると、ラッチ回路133aは解析部132から送られてくる選択信号を受け入れずに前の状態を保持し、ラッチ回路133bは選択信号を受け入れて、選択回路15に対して入力された選択信号を出力する。この制御コマンドが両方共に"1"の場合には、選択回路14、15に各々入力された選択信号を出力する。この制御コマンドによって選択信号の出力先の選択やタイミング調整を行うことが可能である。

【0047】

図1に示す選択回路14、15は、各々、スターチップ1及び複数のスレーブチップ2a～2cから延びるコマンドバスCB、CBa～CBc及びデータバスDB、DBa～DBcの各交点に各々備えられ、その内部構成は、各々、図7（a）、（b）に示すように、マスターチップ1及び複数のスレーブチップ2a～2c間の接続を行うコマンドバスCB、CBa～CBc及びデータバスDB、DBa～DBcに各々バス接続スイッチSWa～SWfが備えられ、これ等スイッチSWa～SWfを前記解析回路13からの選択信号により切り換えする構成である。

【0048】

尚、複数のスレーブチップである第1、第2及び第3のDRAM2a～2cは、DDR DRAMやSLDRAMに見られるような、メモリ内部にクロック位相調整機能や、クロック線をそのまま折り返してデータクロックとして用いるよう

な機能を持つことも可能である。これ等の機能を持つことにより、DRAMからデータを出力する際、クロックCLK1とのタイミング調整を行わずに出力することができる。

【0049】

半導体集積回路システム110の動作を説明する前に、本システム動作に関わるコマンドパケットの構成を先に説明する。

【0050】

図8は、本実施の形態で使用するコマンドパケットの概略図であり、図9は図8に示す各コマンドの入力に対する解析回路13の解析結果を示す。ここでは、コマンドやデータの伝達を行うコマンドバスCB、CBa~CBc及びデータバスDB、DBa~DBcのバス幅が7ビット存在する場合を想定している。これ等バスのバス幅は適宜変更可能である。

【0051】

図8に示すコマンドパケットの1ビット目(A)は、コマンドの送信先の解析コマンドである。図1に示す選択回路12は、この1ビット目を検出する。そしてこのコマンドが複数のスレーブチップの接続情報を含む(A=0)か否か(A=1)を解析し、前記接続情報を含む場合には解析回路13を、含まない場合には選択回路14を各々選択して、そのコマンドを出力する。この選択において、初期設定状態はA=1とする。このため、A=0とならない限り、コマンドはこの選択回路12を無視する形で選択回路14へ出力される。このような初期設定状態を設ければ、連続したコマンドを選択回路14に送りたい場合、その都度解析回路13での解析を受けなくてよいので、円滑なコマンド転送が可能となる。以下、図8、9を参照しながら、各コマンドの解析を説明する。

【0052】

(1) A=0の場合

図1において、コマンドは選択回路12から解析回路13へ出力される。解析回路13では、このコマンドの第2及び第3ビット目(B、C)の組み合わせが解析部132で解析されて、この解析部132が、ラッチ回路133a、133bへの制御コマンドを生成し且つ制御して、解析回路13から出力される解析信

号を選択回路 14 及び選択回路 15 の何れ又は双方に送信するかを制御する。

【0053】

コマンドの第4及び第5ビット目(D、E)、並びに第6及び第7ビット目(F、G)は、解析回路13の解析部132で解析され、選択回路14及び選択回路15の少くとも一方を切換制御する信号を生成する。

【0054】

(2) A=1の場合

コマンドの第2～第7ビット目までは、選択されたスレーブチップへのコマンドとなる。尚、これ等コマンドビットの振り分けや組み合わせ、バス幅は必要に応じて変更できる。

【0055】

次に、半導体集積回路システム110の動作を詳しく説明する。

【0056】

図12は、図1に示す半導体集積回路システム110の動作の一例として、マスターチップ(CPU)1からコマンドバスCBを介して複数のスレーブチップ(DRAM)2a、2b、2cへコマンドを送信し、各々のスレーブチップ2a、2b、2cでコマンドを実行し、実行されたデータをデータバスDBを介してマスターチップ1へ出力するという読み出し動作のタイミングを模式的に示している。

【0057】

同図中のCLK1はクロックを、コマンドバスCB及びデータバスDBは各々図1のコマンドバスCB及びデータバスDB上の信号の状態、SWa～SWfは図7のバス選択スイッチの接続状態を表している。ここではHレベルをオン、Lレベルをオフとする。

【0058】

まず、初めに、時点T1において、コマンドの送信先を図1に示す解析回路13側にするために、制御コマンドJCをマスターチップ1から出力する。この制御コマンドJCは、全てのビットを図8に示すように"0"とする。この制御コマンドJCは全て"0"であるため、図9に示す解析結果より、コマンドの送信先を

解析回路 13 側に選択する。

【0059】

この時、制御コマンド JC の先頭ビット以外のコマンドが、このコマンド JC を送る前に選択されていたコマンドバスを介して複数のスレーブチップ 2 に送られてしまう場合がある。しかし、複数のスレーブチップには、このようなコマンド（全てのビットが”0”）が送られてきた際には、これをコマンドとして認知しない判定回路（判定手段）19a～19c が備えられる。また、このコマンドの先頭ビットが”1”である場合には、そのコマンドはスレーブチップに対するコマンドであると認知する。

【0060】

次に、時点 T2 において、複数のスレーブチップの接続情報を含むコマンド CI1 をマスターチップ 1 から送信し、解析回路 13 において解析する。解析回路 13 での解析結果は、図 8 に示す B、C に当るコマンドが共に”1”であるので、図 9 の解析結果から選択回路 14、15 を共に制御し、次の D、E のコマンドが”0”、”1”で、F、G のコマンドが”1”、”0”であるので、選択回路 14 のスイッチ SWa をオン、選択回路 15 のスイッチ SWe をオンするような選択信号を生成し出力する。そして、この出力された選択信号により、選択回路 14 のスイッチ SWa がオンし、スレーブチップ 2a とのコマンドバス CB の接続が確立される。

【0061】

そして、時点 T3～T5 において、スレーブチップ 2a へ目的のコマンド Ca1～Ca3 を送信する。コマンド Ca1 の構成は、図 8 に示すように、コマンドの最上位ビット（A）が”1”となっているので、コマンドバス CB から選択回路 14 へ向かうコマンドは選択回路 12 及び解析回路 13 で処理を行うことなく、そのまま選択回路 14 へ出力される。これは初期設定状態が A=1 となっているためである。このような動作により、コマンド伝送の高効率化を図ることができる。

【0062】

次に、別のスレーブチップ 2c へコマンドを送信する要求がマスターチップ 1

より発生すると、図1における選択回路12の接続状況を変更するために、時点T6において、再びコマンドJCがコマンドバスCBを介して選択回路12に送信され、コマンドの送信先を解析回路13側に切り換える。そして、次の時点T7において、複数チップ間の接続情報を含むコマンドCI2を送信して、選択回路14のスイッチSWcをオンし、それまでオンしていたスイッチSWaをオフし、コマンドバスCBの接続状況を切り換える。

【0063】

そして、次に時点T8～T10において、コマンドCc1～Cc3をスレーブチップ2cへ送信する。また同時に、時点T7において、選択回路15のスイッチSWdをオン、スイッチSWeをオフして、データバスDBの接続状況を切り換え、スレーブチップ2aで実行されたデータDa1～Da3をマスターチップ1に取り込む。

【0064】

以上のような動作を順次繰り返すことにより、複数のスレーブチップとのコマンド及びデータの伝送が可能となる。また、コマンドを送信したい時やデータを取り込みたい時には、任意に制御コマンドJC及び、接続情報を含むコマンドを送信することにより、バスの接続状況を切り換え、複数のスレーブチップ2a～2cとのコマンド及びデータの伝送を任意に制御することが可能である。

【0065】

(第2の実施の形態)

図3は、本発明の第2の実施の形態の半導体集積回路システム111を示すブロック図である。本実施の形態では、前記実施の形態と同様に、半導体集積回路システム110が、マスターチップ1としてCPUを、複数のスレーブチップ2として第1、第2及び第3のDRAM2a、2b、2cを含む場合を説明することとする。

【0066】

前記実施の形態と同様に、マスターチップ1とバス選択装置3cとは、コマンド及びデータを各々伝送する複数のビット幅(nビット)を有するコマンドバスCB及びデータバスDBによって各々接続されている。複数のスレーブチップ2

a~2cとバス選択装置3cも、またコマンド及びデータを各々伝送するコマンドバスCBa~CBc及びデータバスDBa~DBcにより各々接続される。

【0067】

そして、本実施の形態では、特に、マスターチップ1とバス選択装置3cとは、複数のチップ間接続情報を含むコマンドを伝送するコントロールバスEBによって接続されている。

【0068】

本実施の形態は、機能的には図13に示す半導体集積回路システム100と同様であるが、バス選択装置3を改善したバス選択装置3c及びこのバス選択装置3cを含む半導体集積回路システムを提供するものである。

【0069】

以下、図面を参照しながら本実施の実施の形態を具体的に説明する。

【0070】

マスターチップ1とバス選択装置3cとは、コマンド及びデータを各々伝送する複数のビット幅を有するコマンドバスCB及びデータバスDBにより各々接続され、且つ、複数のチップ間接続情報を含むコマンドを伝送する複数のビット幅を有するコントロールバスEBによって接続される。複数のスレーブチップ2a~2cとバス選択装置3cも同様に、コマンド及びデータを各々伝送するコマンドバスCBa~CBc及びデータバスDBa~DBcにより各々接続される。

【0071】

図3に示されるように、バス選択装置3cの内部には、複数のビット幅を有する伝送線路から成るコマンドバスCBに従ってコマンドの送受を行う入出力部4と、複数のビット幅を有する伝送線路から成るコントロールバスEBに従ってコマンドの送受を行う入出力部18と、この入出力部18からコマンドを受け、複数のチップ間接続情報を解析し、その解析結果を出力する解析回路（解析手段）132と、マスターチップ1と複数のスレーブチップ2a~2cとを接続するコマンドバスCB、CBa~CBcの交点に配置された選択回路（コマンドバス選択回路）142と、マスターチップ1と複数のスレーブチップ2a~2cとを接続するデータバスDB、DBa~DBcの交点に配置された選択回路（データバ

ス選択回路) 152とを備える。これ等選択回路142、152は、前記解析回路132からの解析結果を受け、この解析結果に基づいて各々前記コマンドバス又はデータバスの接続を切換え選択して、マスターチップ1と複数のスレーブチップ2との間、及びスレーブチップ2同士を接続する。

【0072】

前記バス選択装置3cは、更に、コマンドバスCBを経てマスターチップ1との間でチップを制御するコマンド(制御コマンド)の送受を行う入出力部(制御コマンド入力手段)4と、コントロールバスEBを経てマスターチップ1との間で複数のチップ1、2a~2c間の接続情報を含むコマンド(以下、接続コマンドという)の送受を行う入出力部(接続コマンド入力手段)18と、選択回路142を通してマスターチップ1から送られる制御コマンドを複数のスレーブチップ2a~2cに出力する入出力部(制御コマンド出力手段)6、8、10と、複数のスレーブチップ2a~2cからのデータをデータバスDBa~DBcを介して選択回路152との間で送受する入出力部(データ入力手段及びデータ出力手段)7、9、11と、選択回路152を経て複数のスレーブチップ2a~2cから送られてきたデータをデータバスDBを介してマスターチップ1に出力する入出力部(データ出力手段)5とを備えている。

【0073】

前記選択回路142、152は、各々、図3に示すように、マスターチップ1と複数のスレーブチップ2a~2cを接続するコマンドバスCB、CBa~CBcの交点、及びデータバスDB、DBa~DBcの交点に各々備えられる。尚、図4に示すように、コマンドバスCB、CBa~CBcの交点、データバスDB、DBa~DBcの交点、コマンドバスとデータバスとの各交点に各々選択回路143、153、163、173を配置することも可能である。図4の場合には、これ等選択回路は、各々、解析回路13からの解析結果を受けるように解析回路13と接続される。このような構成を採れば、前記第1の実施の形態で記述したように、複数のチップ間におけるコマンドやデータの共有が可能になる。

【0074】

尚、バス選択装置3cをマスターチップ1と共に1チップに構成するか又は単

独に1チップで構成するかは、適宜選択すればよい。また、半導体集積回路システムのマスターチップ1とスレーブチップ2との数的構成は、適宜選択すればよい。

【0075】

図3の解析回路132、選択回路142、152の構成は、第1の実施の形態で示した解析回路13、選択回路14、15の構成と同一である。

【0076】

尚、複数のスレーブチップである第1、第2及び第3のDRAM2a~2cは、DDR DRAMやSLDRAMに見られるような、メモリ内部にクロック位相調整機能や、クロック線をそのまま折り返してデータクロックとして用いるような機能を持れば、DRAMからデータを出力する際に、クロックCLK1とのタイミングを調整せずに出力することが可能である。

【0077】

半導体集積回路システム111の動作を説明する前に、システム動作に関わるコマンドパケットの構成を先に説明する。

【0078】

図10は、本実施の形態で使用する複数のチップ間接続情報を含むコマンドパケットの概略図であり、図11は図10に示す各コマンド入力に対する解析回路132の解析結果を示す。ここでは、複数のチップ間接続情報を含むコマンドの伝達を行うコントロールバスEBのバス幅が6ビット存在する場合を想定している。コマンドバスCB、CBa~CBc及びデータバスDB、DBa~DBcのバス幅はnビット（nは任意の値）である。

【0079】

図10において、コマンドパケットの構成を説明する。このコマンドの1、2ビット目（A、B）の組み合わせが解析部132で解析され、この解析部132が制御コマンドを生成し、ラッチ回路133a、133bを制御して、解析回路13から出力される解析信号の送信先が選択回路142か選択回路152かが選択される。

【0080】

コマンドの第3及び第4ビット目(C、D)、並びに第5及び第6ビット目(E、F)は解析部132において解析されて、選択回路142及び選択回路152の少くとも一方を制御する制御信号が生成される。尚、これ等コマンドでのビットの振り分けや組み合わせ又はバス幅は必要に応じて変更できる。

【0081】

次に、半導体集積回路システム111の動作を詳しく説明する。

【0082】

図13は、図3に示す半導体集積回路システム111の動作の一例として、マスターチップ(CPU)1からコマンドバスCBを介して複数のスレーブチップ(DRAM)2a、2b、2cへコマンドを送信し、各々のスレーブチップ2a、2b、2cでコマンドを実行し、実行されたデータをデータバスDBを介してマスターチップ1へ出力するという読み出し動作のタイミングを模式的に示す。また、マスターチップ1からは、バス選択装置3cに対してコントロールバスEBを介して複数のチップ間接続情報を含むコマンドが送信されている。

【0083】

同図中、CLK1はクロックを、コマンドバスCB、データバスDB、コントロールバスEBは各々コマンドバスCB、データバスDB、コントロールバスEB上の信号の状態を、SWa～SWfは図7のバス選択スイッチの接続状態を各々表す。

【0084】

先ず、初めに、時点T1～T4における動作について、ここでは、既にマスターチップ1とスレーブチップ2aとのコマンドバスCB、CBaが解析回路132の選択信号により接続されているものとする。そして、この状態で、コマンドバスCB上には、マスターチップ1からスレーブチップ2aへ送信されるコマンドC1～C4が存在し、このコマンドC1～C4は、接続されたコマンドバスCB、CBaを介してスレーブチップ2aへ送信される。

【0085】

次に、マスターチップ1においてスレーブチップ2bへのコマンド送信要求が

発生すると、スレーブチップ2bとのコマンドバスCBb、スレーブチップ2aとのデータバスDBaの各接続を確立するために、時点T4、T5のタイミングで、マスターチップ1よりコントロールバスEBを介して解析回路132へ複数のチップ間接続情報を含むコマンドIb1、Id1（図10参照）が送信される。このコマンドIb1、Id1は、各々、解析回路132で解析され（図11参照）、選択信号は選択回路14、15に出力される。そして、時点T5において、図7（a）におけるスイッチSWaをオフ、スイッチSWbをオンして、マスターチップ1とスレーブチップ2bとのコマンドバスCB、CBbの接続を確立する。また、時点T6において、図7（b）のスイッチSWfをオフ、スイッチSWdをオンして、マスターチップ1とスレーブチップ2aとのデータバスDB、DBaの接続を確立する。

【0086】

そして、時点T6～T9において、図3におけるマスターチップ1からスレーブチップ2bへコマンドバスCBを介してコマンドC5～C8を送信する。また、時点T7～T10において、スレーブチップ2aからマスターチップ1へデータバスDBを介してデータD1～D4を取り込む。

【0087】

以上のような動作を順次繰り返すことにより、バス接続状況を切り換え、複数のスレーブチップとの間のコマンド及びデータの伝送が可能になる。また、コマンドを送信したい時やデータを取り込みたい時に、任意に接続情報を含むコマンドを送信することにより、複数のスレーブチップ2a～2cとの間のコマンド及びデータの伝送を任意に制御することができる。

【0088】

図16は、図3に示す半導体集積回路システム111の動作の一例として、スレーブチップ2aからデータをデータバスDCを介してマスターチップ1へ出力している間に、マスターチップ（CPU）1からコマンドバスCBを介して複数のスレーブチップ（DRAM）2a、2b、2cへコマンドを送信する動作のタイミングを模式的に示している。また、マスターチップ1からは、バス選択装置3cに対してコントロールバスEBを介して複数のチップ間接続情報を含むコマ

ンドが送信されている。

【0089】

まず、初めに、時点T1～T4における動作について、ここでは、既にマスターチップ1とスレーブチップ2aとのコマンドバスCB、CBaが解析回路132の選択信号によって接続されているものとする。そして、この状態において、コマンドバスCB上には、マスターチップ1からスレーブチップ2aへ送信されるコマンドC1～C4が存在し、このコマンドC1～C4は、スレーブチップ2aへ送信される。

【0090】

時点T4では、コントロールバスEBを介して図7(a)のスイッチSWaをオフにするコマンドIa1がマスターチップ1より出力される。次に、時点T5のタイミングで、データバスDBaとデータバスDBとを接続させるために、コマンドId1がマスターチップ1よりコントロールバスEBを介して出力される。この接続が確立された後、スレーブチップ2aより出力されたデータD1～D14がデータバスDBを介してマスターチップ1へ送信される。この間、図7(b)のスイッチSWdの状態は、ラッチ回路133bによって保持されている。その間、コントロールバスEBには、時点T6において、スイッチSWbをオンするコマンドIb1がマスターチップ1より出力されて、コマンドバスCBとコマンドバスCBbとの接続が確立される。

【0091】

その後、時点T8、T9において、マスターチップ1より出力されるコマンドC5、C6をスレーブチップ2bへ出力する。そして、同じ時点T9のタイミングで、コマンドバスCBとコマンドバスCBbとの接続を切るために、マスターチップ1よりコントロールバスEBを介してコマンドIB2が出力される。

【0092】

そして、次に時点T10のタイミングで、スレーブチップ2cとのコマンドバスCB、CBcの接続を確立するために、コマンドIc2をマスターチップ1よりコントロールバスEBを介して出力する。そして、時点T12以降のコマンドC7～C15をスレーブチップ2cへ送信する。

【0093】

以上のような動作をすることにより、一方ではデータを連続的に出力し、他方では複数のスレーブチップに対しコマンドを送信することが可能となる。

【0094】

尚、前記実施の形態では示していないが、図3の選択回路142、152を変更し、図14に示すように、スイッチSW1～SW14をコマンドバスCB、データバスDB上に設置し、各々のスイッチSW1～SW14を解析回路132からの選択信号により制御する構成を採れば、マスターチップ1とスレーブチップ2との接続だけでなく、スレーブチップ2同士の接続が可能となる。

【0095】

例えば、図3におけるスレーブチップ2a、2b、2cが演算機能を有するようなチップである場合には、先ず、初めにマスターチップ1とスレーブチップ2cとのコマンドバスCB、CBcを接続するために、マスターチップ1よりコマンドバスCB、CBaを接続するためのコマンドをコントロールバスEBを介して解析回路132に出力して、コマンドバスCB、CBcの接続を確立する。その後、マスターチップ1よりスレーブチップ2cにコマンドバスCB、CBcを介してコマンドを送信して、このコマンドを実行させる。その実行後、スレーブチップ2cで実行されたデータがデータバスDBcを介して出力される前に、データバスDBcとコマンドバスCBbとを接続させるためのコマンドをマスターチップ1より解析回路132に出力し、このコマンドを解析回路132で解析し、解析回路132から出力される選択信号により、図14のスイッチSW7、SW8をオンすることにより、スレーブチップ2c、2bのデータバスDBc、CBbの接続を確立すれば、スレーブチップ2cからのデータをスレーブチップ2bへ送信することが可能になる。スレーブチップ2bはそのデータをコマンドとして受け取り、別の処理を行うことも可能である。このようなバス接続の切り換えを行うことにより、複数のチップ間でコマンドやデータの共用ができ、複数の処理を必要とするプログラムの実行等には有効である。

【0096】

尚、本発明は以上の例に限られず、複数のマスターチップと少なくとも1つのス

レーブチップの構成を採用できるのは勿論である。また、バスのビット数（伝送線路本数）は必要に応じて定めることが可能である。

【0097】

【発明の効果】

以上説明したように、請求項1ないし請求項25記載の発明によれば、バス選択装置をマスターチップと別個独立に配置したので、マスターチップのピン数を削減できる。更に、バス選択装置の周囲に複数のチップを配置すれば、マスターチップから各スレーブチップへのコマンドバス又はデータバスの各バス長を短く且つ各バス相互ではほぼ等長にできるので、大容量のデータを格納しながら、これ等複数チップ間でのデータ伝送を高速に行うことが可能である。

【0098】

また、バス選択装置は、何れかのチップ（マスターチップ）から、複数チップ間のバスの切換えを指示する選択信号を受けて、複数のチップ間のコマンドバスやデータバスを適切に切換え選択するので、複数チップ間でのデータの伝送経路を適切に切換えることが可能である。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態のバス選択装置を含む半導体集積回路システムの全体構成を模式的に示すブロック図である。

【図2】

同実施の形態の半導体集積回路システムの変形例を示すブロック図である。

【図3】

本発明の第2の実施の形態のバス選択装置を含む半導体集積回路システムの全体構成を模式的に示すブロック図である。

【図4】

同実施の形態の半導体集積回路システムの変形例を示すブロック図である。

【図5】

本発明の第1の実施の形態の半導体集積回路システムに備える選択回路の構成を示す図である。

【図 6】

同半導体集積回路システムに備える解析回路の構成を示す図である。

【図 7】

(a) は同半導体集積回路システムに備えるコマンドバス選択回路の構成を示す図、(b) はデータバス選択回路の構成を示す図である。

【図 8】

同半導体集積回路システムで使用するコマンドパケットの構成を示す図である。

【図 9】

同コマンドパケットのコマンド入力に対する解析結果を示す図である。

【図 10】

本発明の第 2 の実施の形態の半導体集積回路システムで使用するコマンドパケットの構成を示す図である。

【図 11】

同コマンドパケットのコマンド入力に対する解析結果を示す図である。

【図 12】

本発明の第 1 の実施の形態の半導体集積回路システムにおけるコマンド入力、スイッチ動作及びデータ出力の各タイミングを示す図である。

【図 13】

本発明の第 2 の実施の形態の半導体集積回路システムにおけるコマンド入力、スイッチ動作及びデータ出力の各タイミングを示す図である。

【図 14】

本発明の第 1 の実施の形態の半導体集積回路システムにおいて、コマンドバス及びデータバスに配置する選択回路の変形例を示す図である。

【図 15】

本発明の第 1 の実施の形態のバス選択装置を含む半導体集積回路システムを模式的に示すブロック図である。

【図 16】

本発明の第 2 の実施の形態の半導体集積回路システムにおけるコマンド入力、

スイッチ動作及びデータ出力の他のタイミングを示す図である。

【図 17】

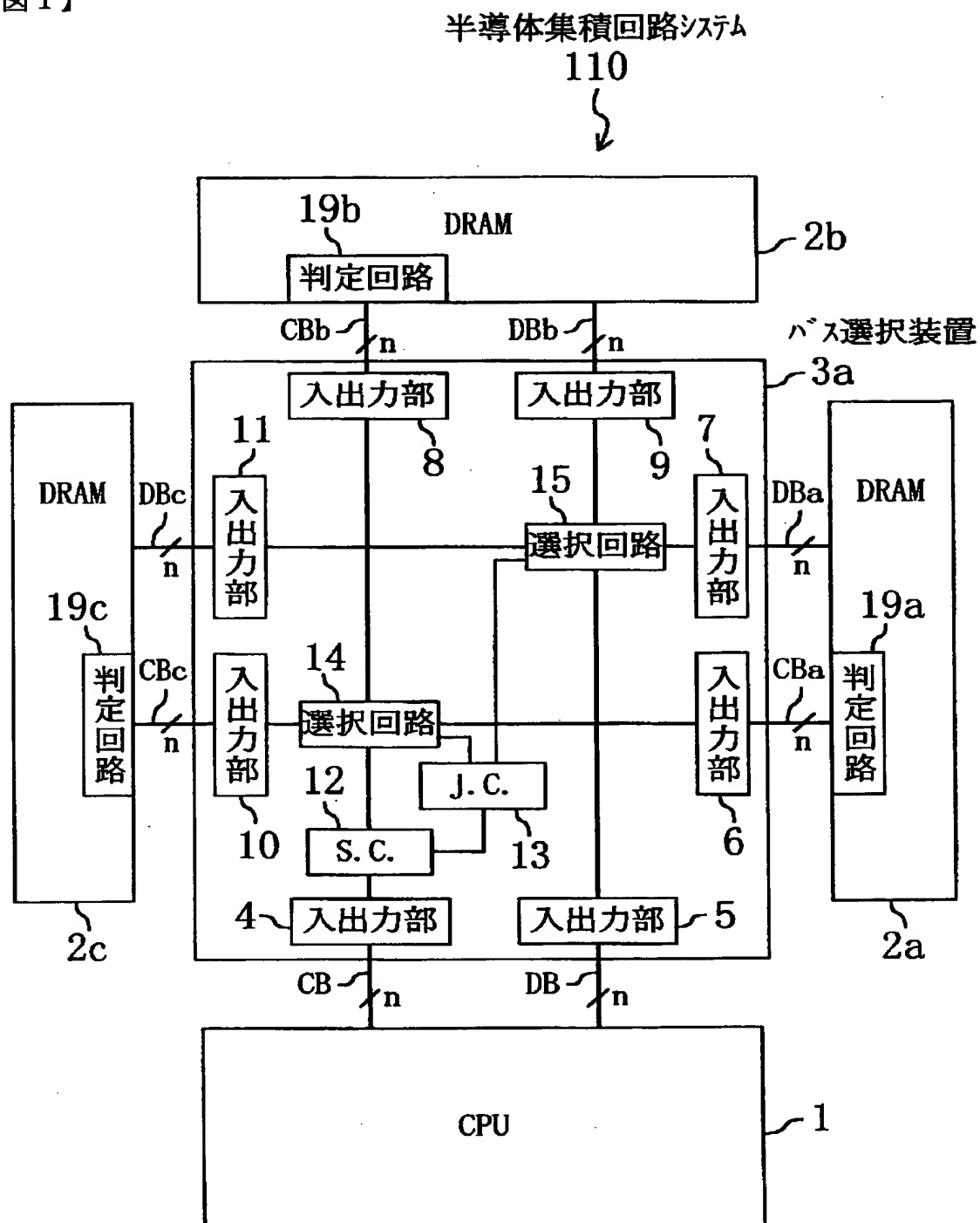
従来の半導体集積回路システムの全体概略構成を示す図である。

【符号の説明】

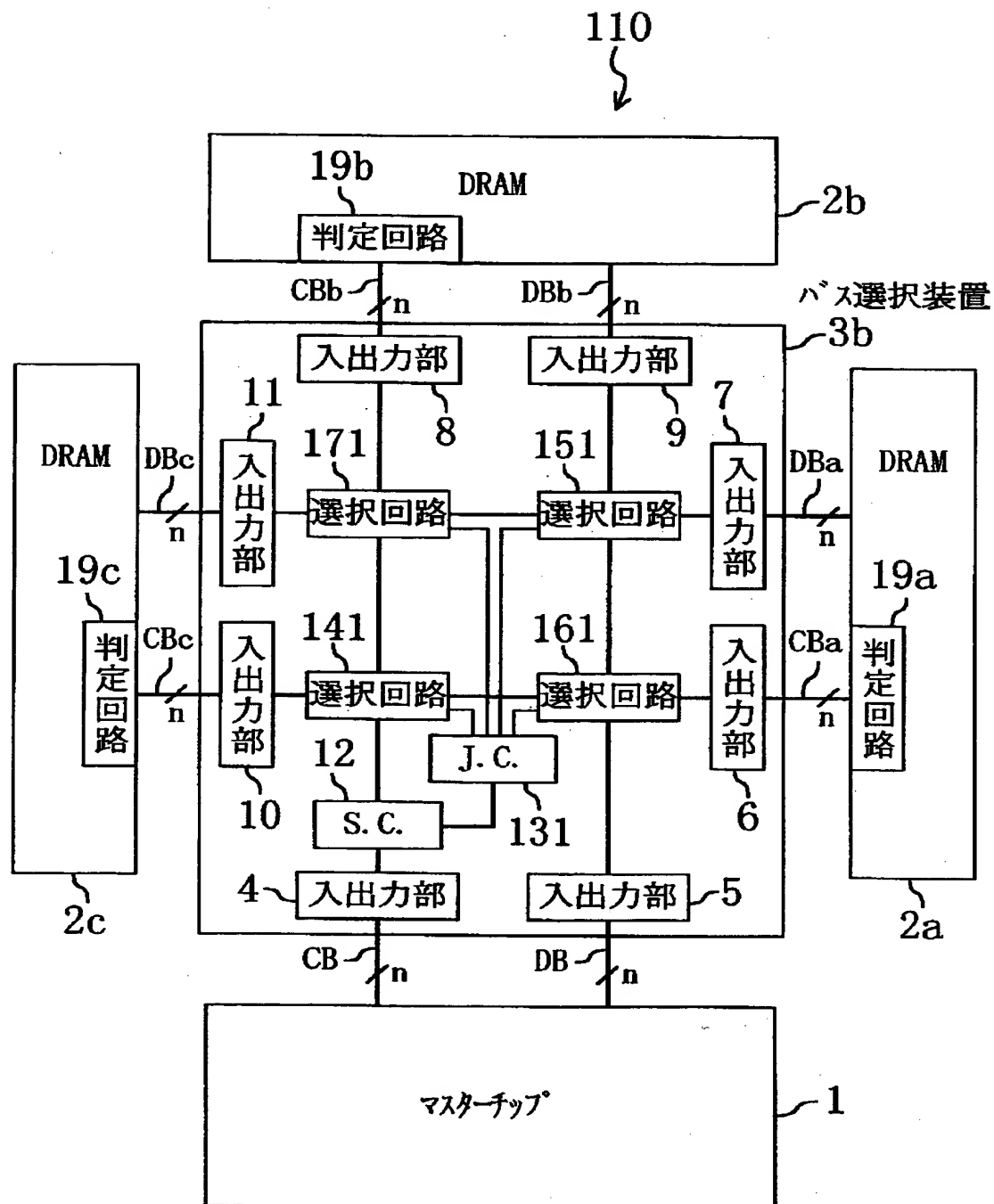
1	マスターチップ
2 a ~ 2 c	スレーブチップ
3 a ~ 3 c	バス選択装置
4	入出力部 (コマンド入力手段及び制御コマンド入力手段)
6、8、10	入出力部 (コマンド出力手段及び制御コマンド出力手段)
5、7、9、11 ~ 11、18	入出力部 (データ入力手段及びデータ出力手段) 入出力部
12	選択回路 (出力先選択手段)
13	解析回路 (解析手段)
14	選択回路 (コマンドバス選択手段)
15	選択回路 (データバス選択手段)
18	入出力部 (接続コマンド入力手段)
19	判定回路 (判定手段)
CB、CB a ~ CB c	コマンドバス
DB、DB a ~ DB c	データバス
EB	コントロールバス
132	解析回路 (解析手段)
133 a、133 b	ラッチ回路
142	選択回路 (コマンドバス選択手段)
152	選択回路 (データバス選択手段)
161、171	選択手段 (バス選択手段)

【書類名】 図面

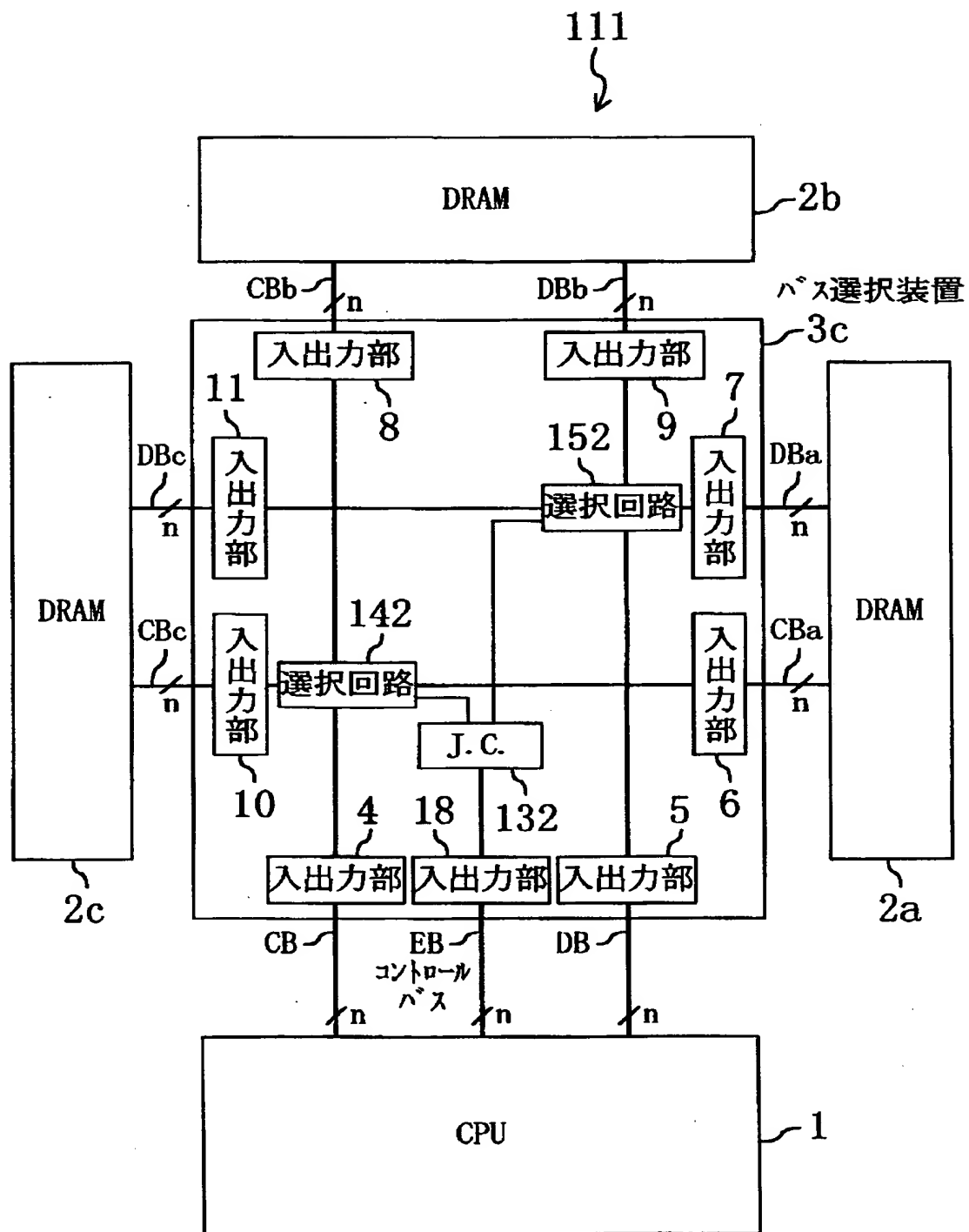
【図 1】



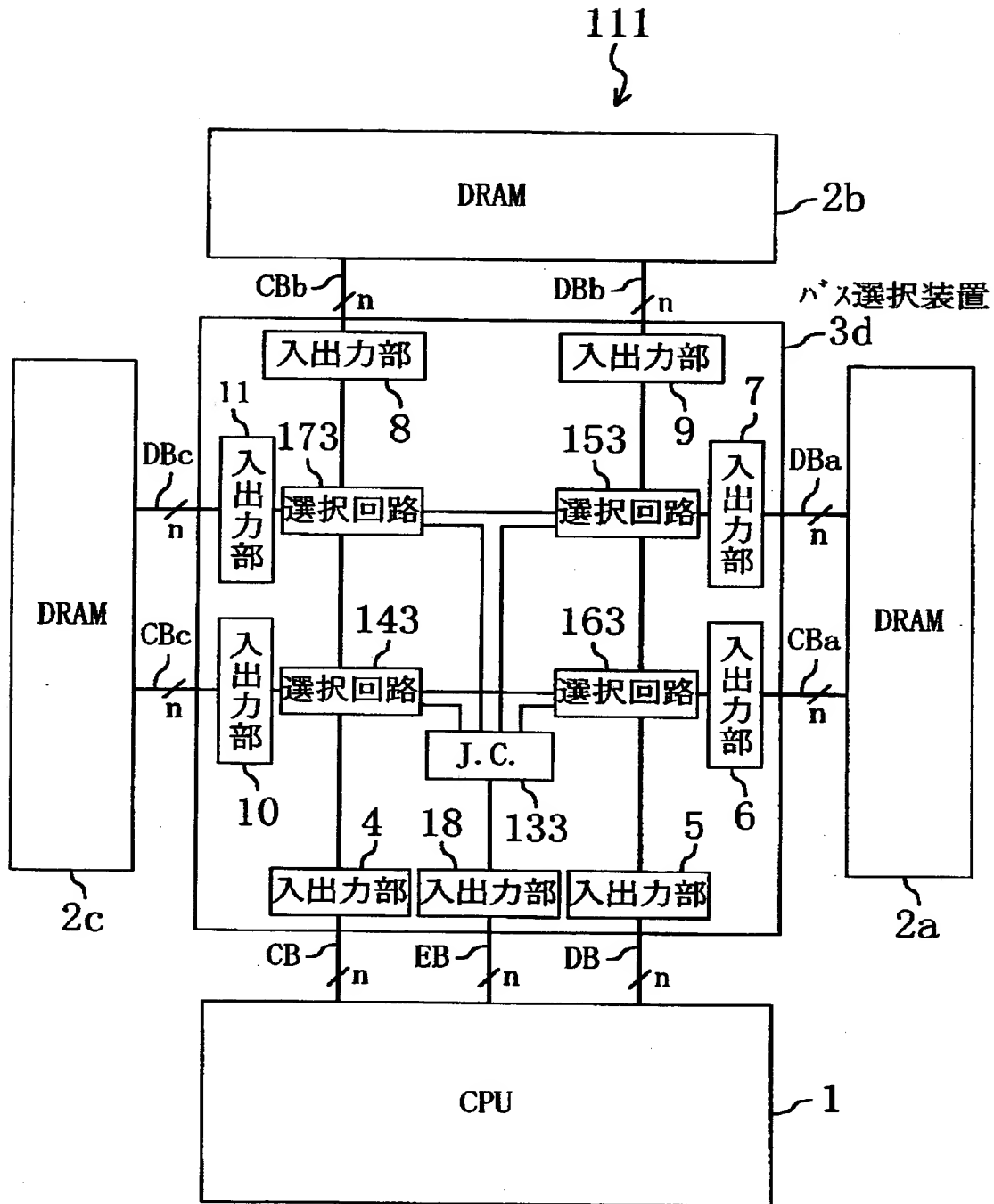
【図 2】



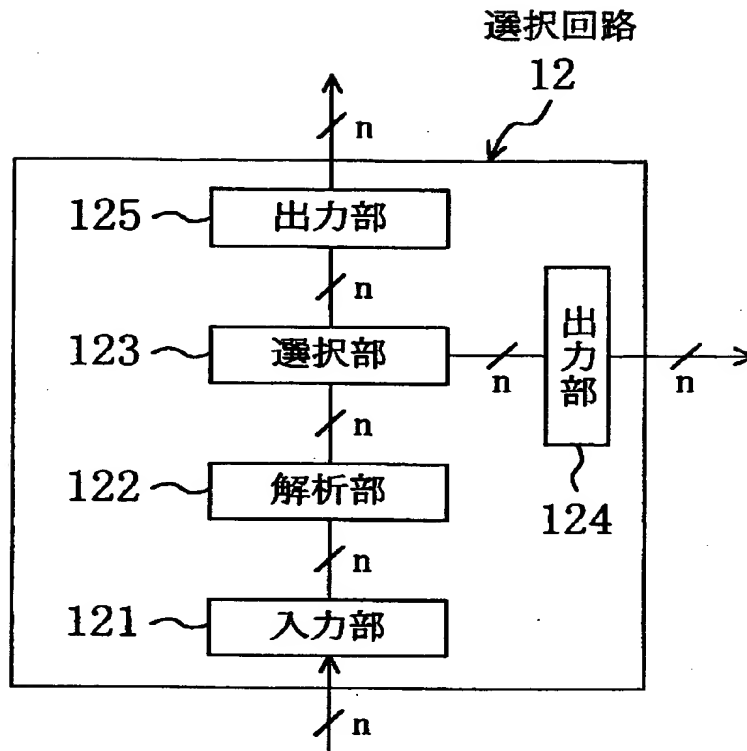
【図 3】



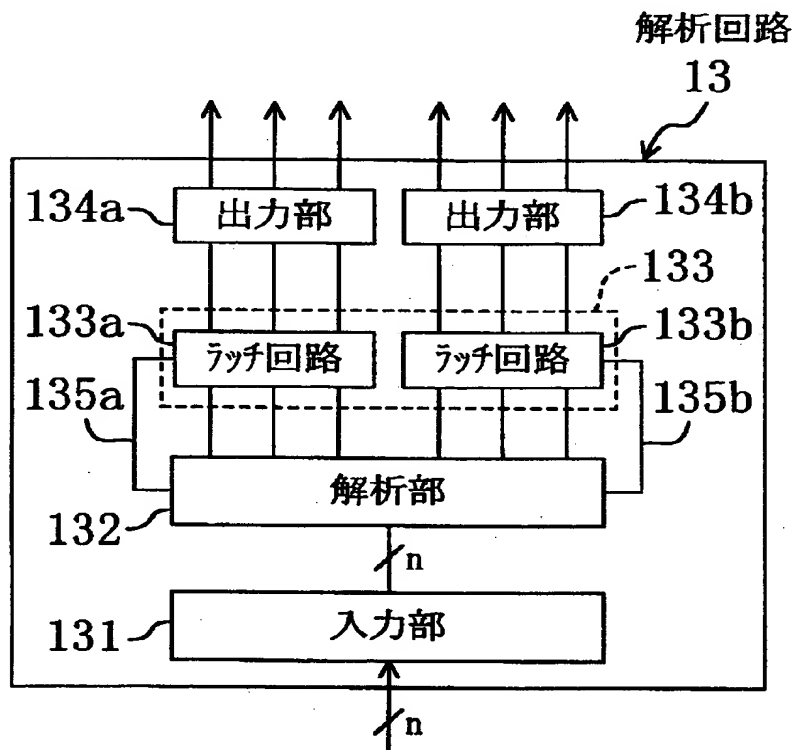
【図 4】



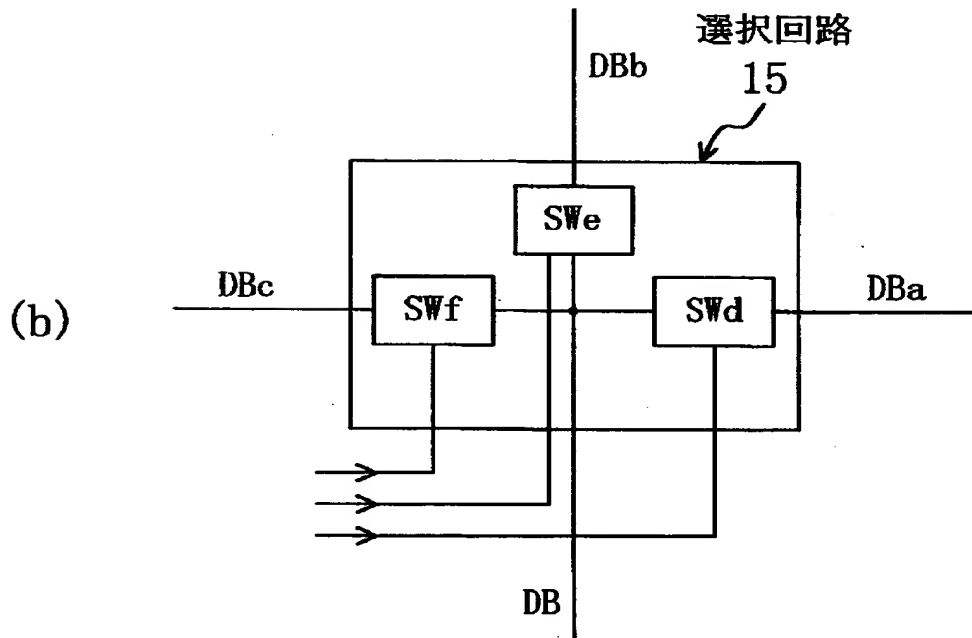
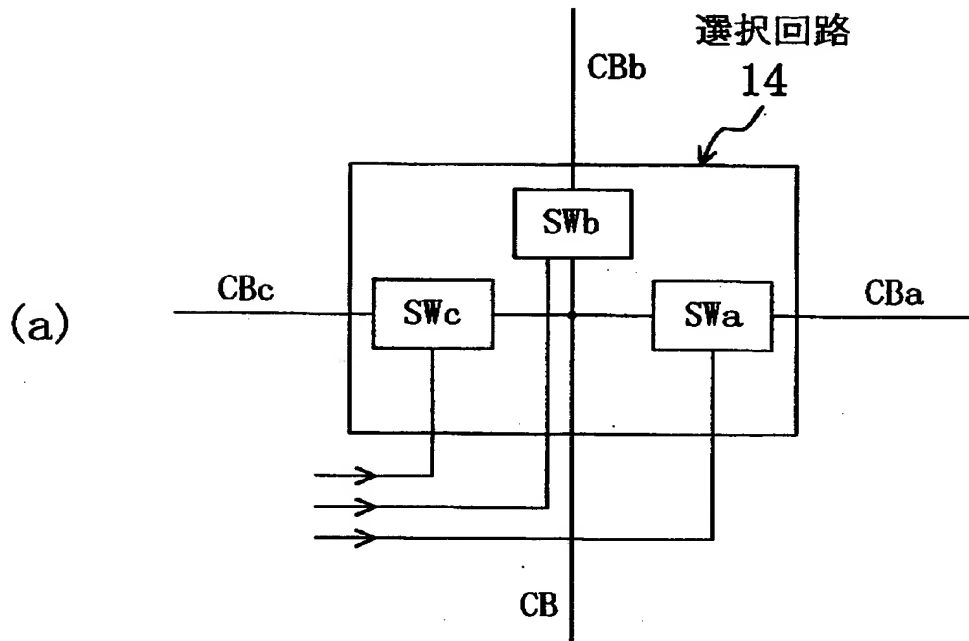
【図 5】



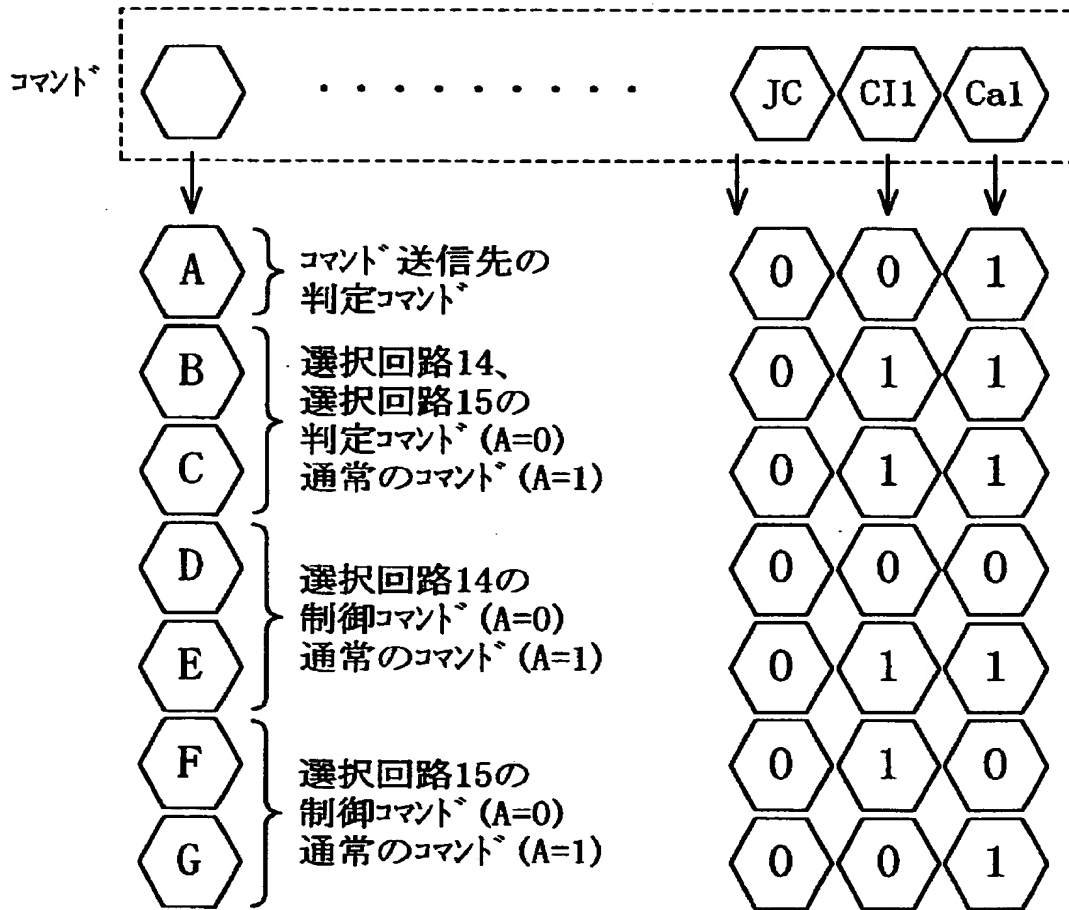
【図 6】



【図 7】



【図 8】



【図 9】

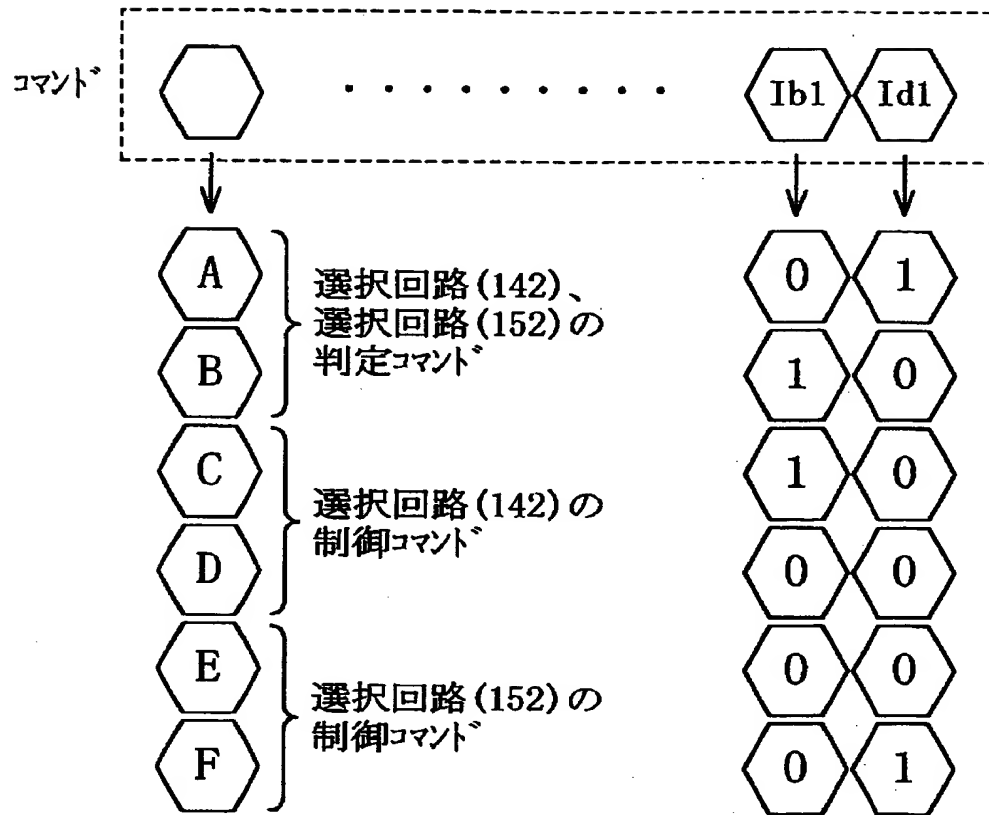
入力		判定
A		
0		J. C. (13)へ
1		選択回路14へ

入力		判定
B	C	
0	0	-
0	1	選択回路14
1	0	選択回路15
1	1	14&15

入力		判定 選択回路14
D	E	
0	0	-
0	1	SWa
1	0	SWb
1	1	SWc

入力		判定 選択回路15
F	G	
0	0	-
0	1	SWd
1	0	SWe
1	1	SWf

【図 10】



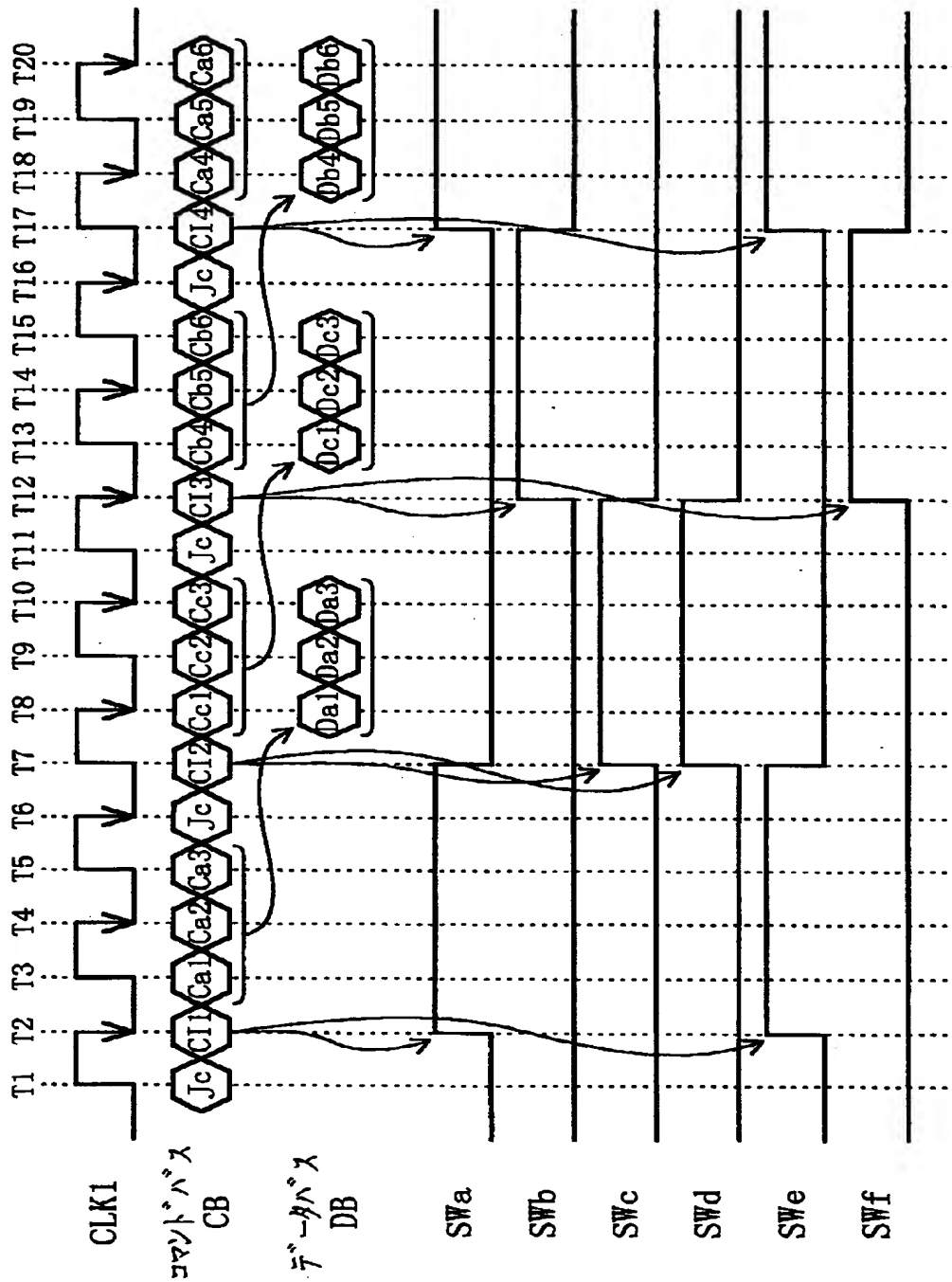
【図 1 1】

入力		判定
A	B	
0	0	-
0	1	選択回路 (142)
1	0	選択回路 (152)
1	1	142&152

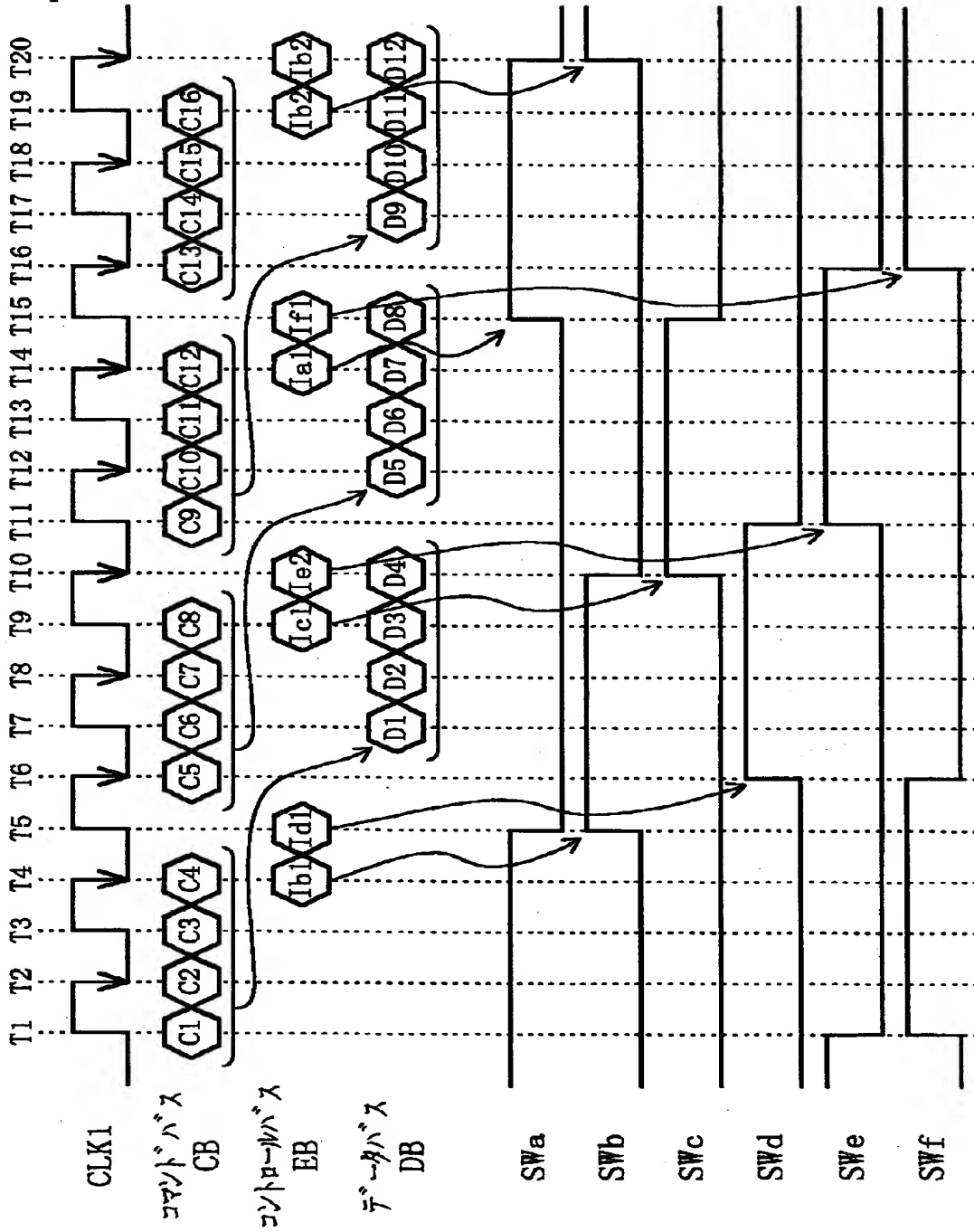
入力		判定 選択回路 (142)
C	D	
0	0	-
0	1	SWa
1	0	SWb
1	1	SWc

入力		判定 選択回路 (152)
E	F	
0	0	-
0	1	SWd
1	0	SWe
1	1	SWf

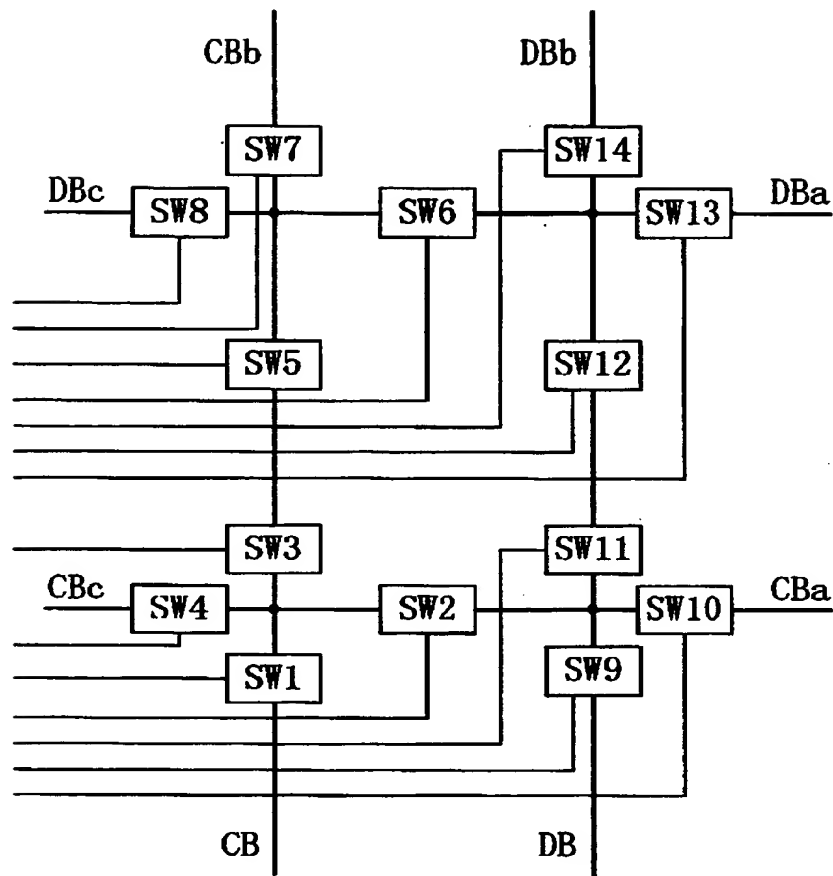
【図 12】



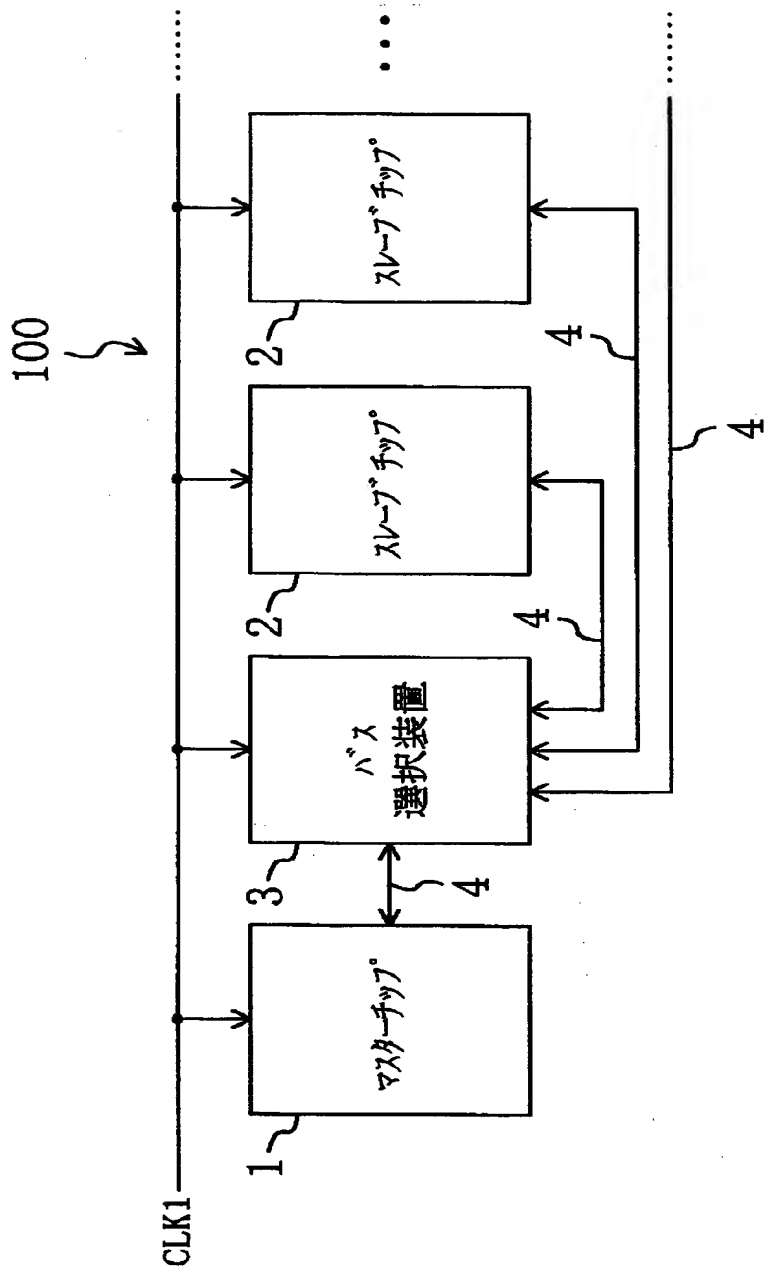
【図 13】



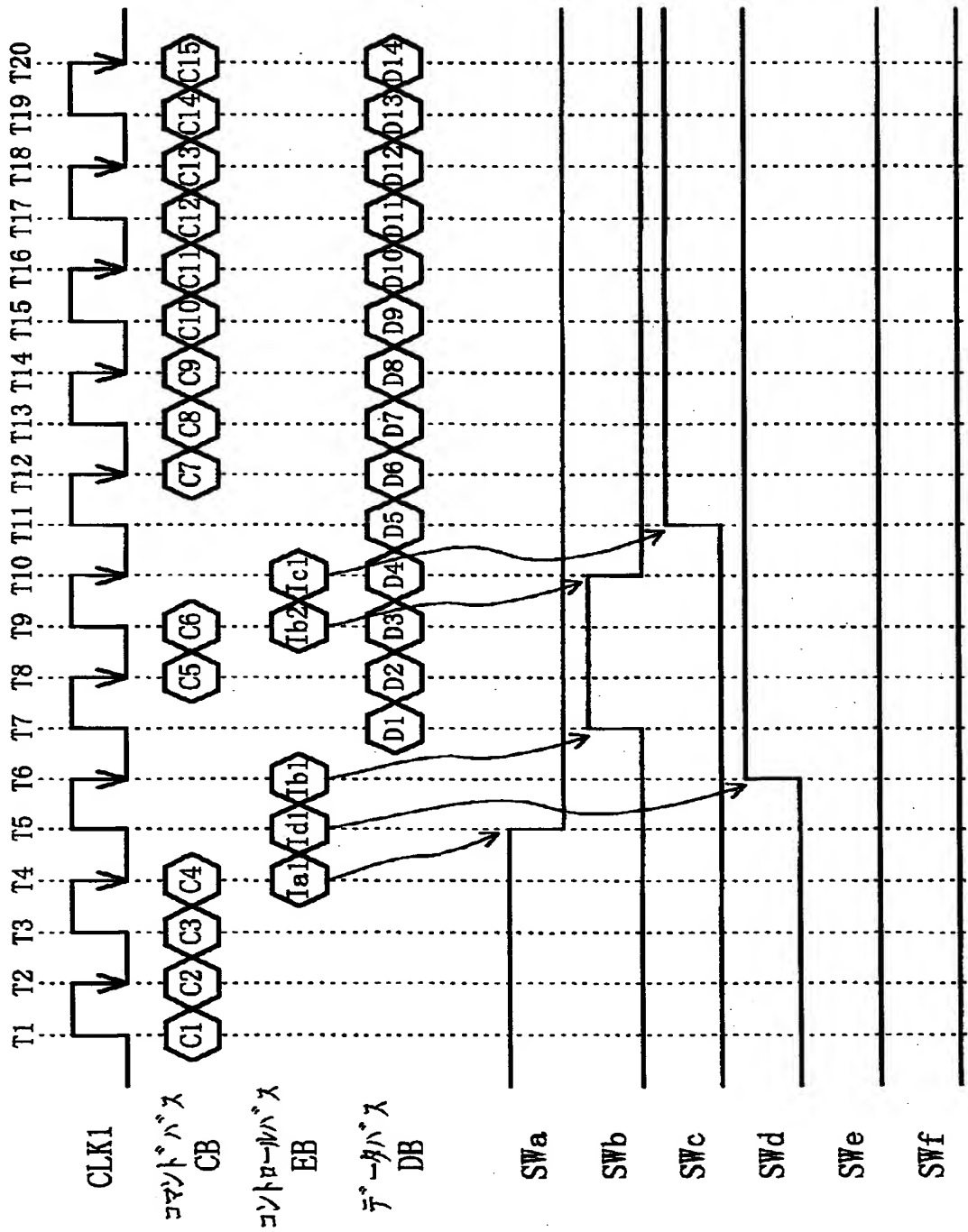
【図 14】



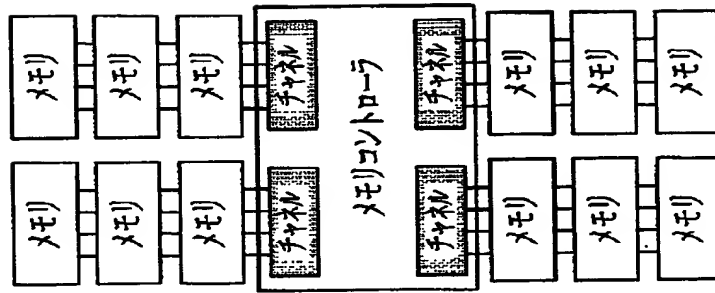
【図 15】



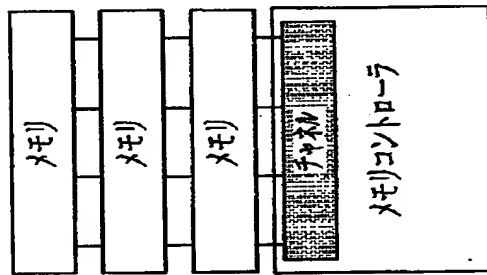
【図 16】



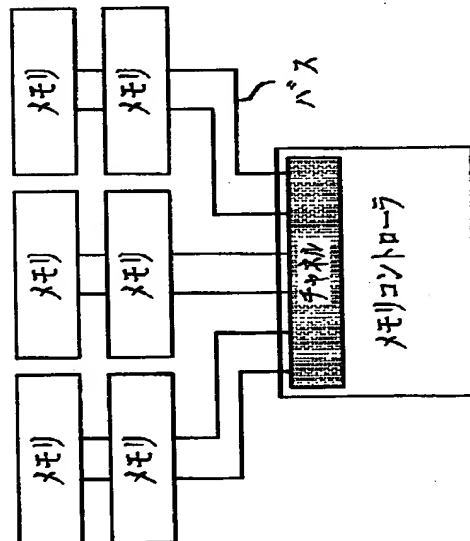
【図 17】



(c)



(b)



(a)

【書類名】 要約書

【要約】

【課題】 マスターチップから各スレーブチップまでのバス長を短縮して複数のスレーブチップを高速に制御すると共に、マスターチップに要するピン数を削減する。

【解決手段】 マスターチップ1とは独立してバス選択装置3が配置される。前記バス選択装置3は、前記マスターチップ1と複数のスレーブチップ2a～2cとの間に設置される。前記マスターチップ1は、複数のチップ1、2a～2c間のコマンドバスCB、CBa～CBcの接続及びデータバスDB、DBa～DBcの接続を切替える選択信号を前記バス選択装置3に入力する。バス選択装置3は、前記選択信号に基づいて、前記複数のチップ間のバス接続を切替え選択する。従って、マスターチップ1から各スレーブチップ2a～2cまでのバス長が短く且つ、各バス間で等長になり、複数のチップ間での高速なデータ伝送が可能である。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社